

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 4 M 1 1 8
H 0 1 L 27/146		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平11-229272

(22) 出願日 平成11年8月13日 (1999.8.13)

(71) 出願人 000004352

日本放送協会
東京都渋谷区神南2丁目2番1号

(72) 発明者 山野 浩司

東京都世田谷区砧1丁目10番11号 日本放
送技術研究所内

(72) 発明者 渡辺 敏英

東京都世田谷区砧1丁目10番11号 日本放
送技術研究所内

(74) 代理人 100059258

弁理士 杉村 曉秀 (外2名)

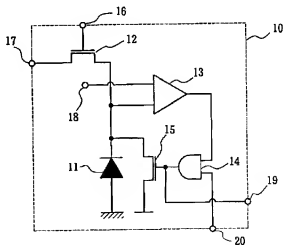
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】 (修正有)

【課題】 広いダイナミックレンジで撮像可能な固体撮像装置を提供する。

【解決手段】 多数の画素10はそれぞれ：光を電気信号に変換する光電変換素子11と；該光電変換素子からの出力電圧としきい値18と比較し、出力電圧がしきい値を横切ったときに判定信号を出力する比較判定回路13と；前記判定信号と予め定められた一定周期のパルス信号であるリセット信号20との両者が入力されているとき、制御信号19を出力する制御信号生成回路14と；前記制御信号19が入力されたときに前記光電変換素子11を動作の初期状態にリセットするリセット回路15と；前記制御信号が出力された回数を計数し計数結果を出力する計数回路とを具備して、光電変換素子の出力電圧がしきい値を超えた回数と、光電変換素子の出力電圧値とから画素値を構成することにより、ダイナミックレンジを拡大できる構成する。



【特許請求の範囲】

【請求項1】 多数の画素を2次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号の回数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた値を有するしきい値とを比較し、出力電圧がそのしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と予め定められた周期のバース信号であるリセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力された回数を計数し計数結果を出力する計数手段とを具備することを特徴とする固体撮像素子。

【請求項2】 請求項1記載の装置において、前記装置はさらに前記計数結果から重み係数を計算する係数計算手段と、前記重み係数と光電変換手段の出力電圧を乗算する乗算手段とを具備することを特徴とする固体撮像素子。

【請求項3】 前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である請求項1または2記載の装置において、前記計数手段は単位時間内に各前記画素が制御信号を出力する回数を計数するカウンタ回路であって、そのカウンタ回路が前記2次元画素アレイと同じ列数で同じ行数の2次元アレイに構成されたカウンタ回路アレイを有し、前記画素信号構成手段は各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出力より画素値を構成する画素信号構成回路を有することを特徴とする固体撮像素子。

【請求項4】 前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である請求項1または2記載の装置において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の行方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；2つの総和読み出し回路の出力より制御信号を出力した画素を推定する総和解析回路と；総和解析回路の出力から各画素ごとに制御信号が出力された回数を計数するカウンタ回路であって、そのカウンタ回路が前記2次元画素アレイと同じ列数で同じ行数の2次元アレイに構成されたカウンタ回路アレイと；各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出

力より画素値を構成する画素信号構成回路とを具備することを特徴とする固体撮像素子。

【請求項5】 前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である請求項1または2記載の装置において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の行方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；前記行方向総和読み出し回路および前記列方向総和読み出し回路それぞれの出力を予め定められた期間加算し記憶する列方向加算回路および行方向加算回路と；2つの方向加算回路の出力からそれぞれの画素が前記予め定められた期間内に何回制御信号を出力したかを推定し出力する総和出力回路と；各画素の前記光電変換素子からの出力と前記総和出力回路からの出力より画素値を構成する画素信号構成回路とを具備することを特徴とする固体撮像素子。

【請求項6】 多数の画素を2次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号のステップ数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、

多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた周期のバース信号であるリセット信号と同期して1ステップずつ上昇するしきい値とを比較し、前記出力電圧がしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と前記リセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力されたしきい値のステップ数を計数し計数結果を出力する計数手段とを具備することを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、固体撮像素子に係り、特に光電変換部の出力電圧がある期間内にしきい値を超えた回数と、入射光量によって蓄積時間を変化させて読み出した光電変換部の出力電圧とから、画素信号を構成することにより広いダイナミックレンジでの撮像が可能とした固体撮像素子に関するものである。

【0002】

【従来の技術】 従来の技術として、2つの手法について述べる。1つは光電変換部の出力電圧がしきい値を横切った回数を計数し、この計数された回数から画素値を構

成する手法である。例えば、"A Wide-Dynamic-Range, Low-Power Photo sensor Array", IEEE International Solid-State Circuits Conference, TP13. 7, 1994がある。図7はこの手法を実現するための画素の基本的な構成の例を示す。

【0003】フォトダイオード71の出力電圧がしきい値電圧72を横切ったときに比較回路73はパルスをつ出力74する。このパルスによってリセットトランジスタ75がオンになりフォトダイオードがリセットされる。上記動作は、図8の動作波形に示すように、例えば1フィールド期間に何度も反復されることになる。画素の出力は1フィールド期間内のパルスの数またはパルスの周波数として得られる。入射光量が大きければフォトダイオードの出力電圧はすぐにしきい値に達し、このため1フィールド期間のパルスの数は多くなる。逆に入射光量が小さければパルスの数は少くなる。この手法において、例えばしきい値をフォトダイオードが飽和したときの出力電圧値に近い値に設定すれば、通常、リセット時の出力電圧と飽和時の出力電圧の比で決まるダイナミックレンジが、飽和時の出力電圧を超えて拡大される。

【0004】次に、露光時間を入射光量によって変化させて映像信号を広ダイナミックレンジ化する手法がある。これは例えば、"マルチ蓄積時間受光素子", 映像情報メディア学会誌Vol. 51, No. 2, pp. 256-262 (1997) である。図9はフォトダイオードにおける蓄積時間と光電荷出力の関係を模式的に表している。この図を用いて第2の手法の基本概念を説明する。

【0005】蓄積時間は $1, 1/2, 1/4, 1/8, \dots, 1/128$ ととびとびに変化させている。図の中の一点はある蓄積時間における光電荷出力であり、その点と原点を結ぶ傾きが入射光強度に対応する。真っ暗のときはA0である。光を強くするとA1方向に進む。A1に達するとフォトダイオードは飽和するが、B0の位置に移動して飽和するとなく、蓄積時間が $1/2$ になり出力が半分になる。さらに光強度が大きくなるとB1に進み、B1に達するとC0に移動して蓄積時間は $1/4$ になる。以下同様に光強度が大きくなると蓄積時間が $1/128$ まで変化する。これによってダイナミックレンジは蓄積時間を1に固定する場合の128倍に広げることができる。

【0006】図10にこの素子の回路構成を示す。回路は、蓄積時間を制御するために飽和検出に用いられるフォトダイオードaと、信号電荷として光電荷を検出するために用いられるフォトダイオードbの2つのフォトダイオードを持つ。フォトダイオードaの出力はインバータにつながり、インバータの出力はラッチされる。ラッ

チ出力は蓄積時間制御パルスがハイレベルのときのみ変化する。蓄積時間制御パルスはそのフレームの開始から、1フレーム期間の 2^n-8 倍の時間がそれぞれ経過した時刻に約 $1\mu s$ の間ハイレベルにする。このときnは1から8である。ランプ波形は各蓄積時間制御パルスがハイレベルになる時刻でそれぞれ異なる値をとるものとする。フォトダイオードの出力電圧がインバータのしきい値を超えたときインバータ出力はハイレベルになる。この直後の蓄積時間制御パルスによってインバータ出力はラッチされ、ラッチ出力はゲートaおよびゲートbをオフにする。これによって容量aには、インバータ出力がハイレベルになった直後の蓄積時間制御パルスの入力された時刻におけるフォトダイオードbの蓄積電荷が、容量bにはランプ波形の電圧によって蓄積した電荷がそれぞれ保存される。これらをセル選択トランジスタを介して読み出すことによって、光電荷出力とその蓄積時間出力を得る。

【0007】

【発明が解決しようとする課題】しかしながら、前記光電変換部の出力電圧がしきい値を横切った回数を計数し、この計数された回数から画素値を構成する手法においては、パルスの数を計数する場合、映像信号で表現しうる明るさの階調数を多くするためには、階調数に応じた規模のカウンタが必要となる。例えば、撮像装置で出力する映像信号において、その明るさで256階調で表現されているとする。このとき、上記映像信号の100倍のダイナミックレンジを持ち、かつ100倍の階調数すなわち25600階調を持つ映像信号を得るためには、少なくとも15ビットのカウンタが必要となる。このような大規模なカウンタは、センサレイアウトと同一シリコンチップ上に集積する場合、センサチップのチップ面積を増大させる原因となり、特に各画素内にそれぞれカウンタを持つ構成とする場合には開口率を大きくできない原因ともなる。また、この種の手法ではコンパレータの持つオフセット電圧のために、入射光量の最低検出レベルが大きくなり、感度が低くなるという欠点がある。

【0008】また、前記露光時間を入射光量によって変化させて映像信号を広ダイナミックレンジ化する手法においては、画素内に2つのフォトダイオードが必要なので、信号電荷として光電荷を蓄積するフォトダイオードの面積の画素面積に対する開口率を大きくすることが困難になる。

【0009】本発明の目的は上記の問題点に鑑みてなされたもので、光電変換部の出力電圧がしきい値を超えた回数と、入射光量によって蓄積時間を変化させて読み出された出力電圧とから、画素信号を構成することによって、カウンタのビット数を小さくしながら明るさの階調数を多くし、また、入射光量の最低検出レベルを小さくし、さらに、1画素内の光電変換部を1つにすることによって開口率を犠牲にすることなく、広いダイナミック

レンジでの撮像を可能とする固体撮像装置を提供せんとするものである。

【0010】

【課題を解決するための手段】この目的を達成するため、請求項1に記載された第1の発明による固体撮像装置は、多数の画素を2次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号の回数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた値を有するしきい値とを比較し、出力電圧がそのしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と予め定められた周期のパルス信号であるリセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力された回数を計数し計数結果を出力する計数手段とを具備することを特徴とする。

【0011】請求項2に記載された第2の発明による固体撮像装置は、前記第1の発明において、前記装置はさらに前記計数結果から重み係数 α を計算する係数計算手段と、前記重み係数 α と光電変換手段の出力電圧を乗算する乗算手段とを具備することを特徴とする。

【0012】請求項3に記載された第3の発明による固体撮像装置は、前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である、前記第1の発明または前記第2の発明において、前記計数手段は単位時間内に各前記画素が制御信号を出力する回数を計数するカウンタ回路であって、そのカウンタ回路が前記2次元画素アレイと同じ列数で同じ行数の2次元アレイに構成されたカウンタ回路アレイを有し、前記画素信号構成手段は各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出力より画素値を構成する画素信号構成回路を有することを特徴とする。

【0013】請求項4に記載された第4の発明による固体撮像装置は、前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である、前記第1の発明または前記第2の発明において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；2つの総和読み出し回路の出力より

制御信号を出力した画素を推定する総和解析回路と；総和解析回路の出力から各画素ごとに制御信号が出力された回数を計数するカウンタ回路であって、そのカウンタ回路が前記2次元画素アレイと同じ列数で同じ行数の2次元アレイに構成されたカウンタ回路アレイと；各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出力より画素値を構成する画素信号構成回路とを具備することを特徴とする。

【0014】請求項5に記載された第5の発明による固体撮像装置は、前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である、前記第1の発明または前記第2の発明において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；前記行方向総和読み出し回路および前記列方向総和読み出し回路それぞれの出力を予め定められた期間加算し記憶する列方向加算回路および行方向加算回路と；2つの方向加算回路の出力からそれぞれの画素が前記予め定められた期間内に何回制御信号を出力したかを推定し出力する総和出力回路と；各画素の前記光電変換素子からの出力と前記総和出力回路からの出力より画素値を構成する画素信号構成回路とを具備することを特徴とする。

【0015】請求項6に記載された第6の発明による固体撮像装置は、多数の画素を2次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号のステップ数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた周期のパルス信号であるリセット信号に同期して1ステップずつ上昇するしきい値とを比較し、前記出力電圧がしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と前記リセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力されたしきい値のステップ数を計数し計数結果を出力する計数手段とを具備することを特徴とする。

【0016】

【発明の実施の形態】図1は、本発明による一面素の一構成例を示す。この画素10は2次元アレイ構造にするものであり、図はその1画素分を示す。画素はフォトダイオード11、読み出しトランジスタ2、比較回路1

3、AND回路14、リセットトランジスタ15からなる。制御信号のバースを計数するカウンタ回路と画素構成回路は画素の開口率を大きくする目的で画素アレイの外に構成する。

【0017】図1において、フォトダイオード11の出力電圧は、読み出しトランジスタ12に垂直走査信号16が入力されたときに画素の外に出力17される。比較回路13はフォトダイオード11の出力電圧としきい値18を常時比較し、出力電圧がしきい値を越えたときにハイレベルの信号を出力する。AND回路14では比較回路の出力とリセット信号20が両方ともハイレベルである場合にハイレベルの制御信号を出力する。制御信号がハイレベルのときリセットトランジスタ15がオンになる。リセットトランジスタがオンになった場合にはフォトダイオード11はリセットされ、光電変換動作の初期状態の出力電圧に設定される。制御信号19は制御信号出力として画素の外に出力される。しきい値18は画素内と与えるが、画素外から設定することもできる。

【0018】図2に本発明による画素の動作波形の一例を示す。リセット信号20は一定周期のバース信号である。制御信号は、フォトダイオードの出力電圧がしきい値を越えた時刻の直後のリセットバースと同じタイミングで出力される。垂直走査信号は、例えば1フレーム期間の終わりに1度だけ入力される。これによって出力される電圧は、1フレーム期間の最後の制御信号によってフォトダイオードがリセットされた時刻から、1フレーム期間の終わりの出力電圧読みだし時刻までに蓄積された光信号電荷によるものか、または制御信号が発生しない場合には1フレーム期間に蓄積された光信号電荷によるものである。この出力電圧の露光時間はリセット信号のバースの周期と、制御信号バースの発生回数すなわち入射光量によって変化する。このような動作により、例えば被写体が明るい場合21には多くの制御信号バースが出力され、また出力電圧が出力される。暗い場合22には制御信号バースが無いか少なく、また出力電圧が出力される。

【0019】図3に本発明撮像装置30の全体構成例を示す。本構成において、画素アレイは前記画素10を2次元アレイ状に構成したものである。第1垂直走査回路31、第1スイッチ回路32および第1水平走査回路33は、ラスタスキャンによって画素アレイ中の画素からフォトダイオード11の出力電圧を1フレームの終わりに1回読み出すためのものである。第1リセット信号走査回路34は画素に対して行ごとに1行目から最終行に向けて順次リセット信号を供給するためのものである。

【0020】カウンタ回路35は、リセット信号がハイ

レベルのときに画素アレイの制御信号のバース数を計数する。カウンタ回路アレイはこのカウンタ回路35を画素アレイと同じ行数かつ同じ列数の2次元アレイ状に構成したものである。同一列にある画素の制御信号出力とカウンタ回路の制御信号入力とはすべて接続されている。第2垂直走査回路36、第2スイッチ回路37および第2水平走査回路38はラスタスキャンによって、カウンタ回路アレイ中のカウンタ回路35から制御信号バースの計数結果を1フレームの終わりに1回読み出すものである。第2リセット信号走査回路39はカウンタ回路に対して行ごとに1行目から最終行に向けて順次リセット信号を供給するためのものである。

【0021】第1リセット信号走査回路34と第2リセット信号走査回路39は同じ時刻に、それぞれ画素アレイとカウンタ回路アレイの同じ行に対してリセットバースを出力する。この動作によって制御信号の計数は列並列処理で実行される。すなわち、画素アレイ中の同じ行にある複数の画素の制御信号は、カウンタ回路アレイ中の画素アレイの行と同じ行の複数のカウンタ回路によって同時に計数される。複数の画素の制御信号を並列に計数するので、制御信号の高速な読み出しが可能となる利点がある。

【0022】画素信号構成回路40は、読み出し時刻におけるフォトダイオードの出力電圧と1フレーム期間の制御信号のバース数から画素信号を構成し出力するものである。その構成例を図4に示す。係数計算回路41はフォトダイオードの出力電圧 v と制御信号のバース数 n から重み係数 a を計算する。乗算回路44はこの重み係数 a と出力電圧 v をかけ算して、画素信号 $P = (a \cdot v) / 45$ を出力する。

【0023】係数計算回路における係数 a の計算方法の例を以下に示す。1フレーム期間内のリセットバースのバース数を N 、しきい値を Q とする。ここでは1フレーム期間内の入射光量は変化しないと仮定する。重み係数 a は、 $n=0$ のとき $a=1$ とする。また、 $n>0$ のとき、 a は表1から求める。表1において、 $k=0, 1, 2, \dots, N-1$ であり、 a は N を $N-k$ で割ったあまりであり $a=N/(N-k)$ と表記する。このとき制御信号のバース数 n は $N-k$ で割った商と考えることができるので $n=N/(N-k)$ である。また、 $a=0$ のとき、 v の読み出し時刻に v がリセットされないと仮定する。表1から、得られた n と v をともに満足する k を求め a を決定する。

【0024】

【表1】

n	v	α
$N / (N-k)$	$a=0$ のとき $Q \leq v < \frac{(N-k) \cdot Q}{N - (k+1)}$	n
	$a>0$ のとき $\frac{a \cdot Q}{N-k} \leq v < \frac{a \cdot Q}{N - (k+1)}$	$\frac{N}{a}$

ただし $a = N\% (N-k)$

【0025】本発明による固体撮像装置第2の構成例を図5に示す。図5において、画素は図1に示す画素であって、その構成および動作は前記実施例と同様である。また、水平走査回路53、垂直走査回路51およびスイッチ回路52の動作も前述の実施例と同様である。各画素の制御信号出力は電圧・電流変換回路54に接続している。画素アレイは、画素10と電圧・電流変換回路54の組を1つの構成単位として、この構成単位を2次元アレイ状に配置したものである。

【0026】画素アレイにおいて、全ての画素のリセット信号入力20には同一のタイミングでリセット信号が入力されるようにする。それには例えば画素アレイは1つのリセット信号入力を持ち、この入力からの配線は画素アレイ内の全ての画素のリセット信号入力に接続する。このようなリセット信号のタイミングにすると制御信号19の出力を許されるタイミングも全ての画素で同一となる。画素から制御信号が出力されたとき、各電圧・電流変換回路54は列方向総読み出し回路55と行方向総読み出し回路56に対してそれぞれ一定の大きさの電流を出力する。制御信号19の出力を許されるタイミングが同一なので、複数の電圧・電流変換回路からは同一のタイミングで電流が出力され、それらの電流は加算されることになる。結局、リセット信号が入力されるたびに、列方向総読み出し回路55では同一列に並ぶ画素のうち制御信号を出力した画素の総和に相当する電流値を各列についてそれぞれ得ることになり、行方向総読み出し回路56では同一行に並ぶ画素のうち制御信号を出力した画素の総和に相当する電流値を各行についてそれぞれ得ることになる。

【0027】列方向総読み出し回路55および行方向総読み出し回路56では電流の大きさを電圧の大きさに変換した後出力する。総和解析回路57では列方向総読み出し回路55および行方向総読み出し回路56からの出力により、制御信号を出力した画素の画素アレイ上のXYアドレスを推定し出力する。カウンタ回路アレイ58では総和解析回路57からの出力より各画素が1フレーム期間内に制御信号を出力した回数を計数し出力する。画素信号構成回路59については前述の画素信号構成回路40と同様である。

【0028】本発明による固体撮像装置第3の構成例を

図11に示す。図11において、画素10、電圧・電流変換回路54、水平走査回路53、スイッチ回路52、垂直走査回路51、列方向総読み出し回路55、行方向総読み出し回路56、画素信号構成回路59は図5図示第2の構成例と同様である。列方向加算回路111および行方向加算回路112は、それぞれ列方向総読み出し回路55および行方向総読み出し回路56の出力を一定期間加算して出力するものである。総和解析回路113では列方向加算回路111および行方向加算回路112からの出力により、それぞれの画素がある一定期間内に何回制御信号を出力したかを推定し出力する。

【0029】総和解析回路113にて行う推定の難易を決定する要因の一つにリセット信号の入力タイミングがある。リセット信号の入力タイミングとしては例えば、一定の周波数でパルス状のリセット信号を与える。このとき列方向加算回路では同一列に並ぶ画素のうち制御信号を出力した画素の総和を1フレーム期間加算した値を各列について得るものとし、行方向加算回路では同一行に並ぶ画素のうち制御信号を出力した画素の総和を1フレーム期間加算した値を各行について得るものとする。総和解析回路ではこれより各画素の制御信号の1フレーム期間内の出力回数を推定し1フレーム期間に一回出力する。

【0030】また、別のリセット信号の入力タイミングとしては例えば、1フレーム期間(1/30秒)のはじめの1/120秒間においてはその期間の終わりに一度だけリセットパルスを入力し、残りの3/120秒間においては一定の周波数でパルス状のリセット信号を与える。このとき列方向加算回路では、同一列に並ぶ画素のうち制御信号を出力した画素の総和を、はじめの1/120秒間加算した値を各列について得てそれを出し、また、残りの3/120秒間加算した値を各列について得てそれを出し、行方向加算回路においても同様である。はじめの1/120秒間によって列方向加算回路および行方向加算回路によって得られる値は、しきい値レベルの4倍以上の画素信号を出力する画素の総和になる。総和解析回路でははじめの1/120秒間の値を用いてしきい値レベルの4倍以上かどうかを粗く推定した後に、残りの3/120秒間の値を用いて詳しい推定を行う。

【0031】次に計算機シミュレーションにより、本発明固体撮像装置によって得られる光電変換特性を求めた。このとき、1フレーム期間のリセットパルスのパルス数 $N=N=100$ 、しきい値 $Q=1$ とした。また、フォトダイオードの蓄積電荷が飽和したときの出力電圧を1として、そのときの入射光量を1とした。一例として入射光量100までを計算した。シミュレーション結果を図6に示す。入射光量が100まで増加する間に画素信号値も増加しており、従来の100倍のダイナミックレンジを実現していることがわかる。

【0032】以上説明してきた本発明固体撮像装置の構成例ではしきい値は動作中すべて固定で、好適にはフォトダイオードの蓄積電荷の飽和時の出力電圧近傍に設定されてきたが、この形式では次に述べる不都合を生じる。すなわちフォトダイオードが飽和状態の出力電圧を1、リセットされたときの電圧を0とする。ここで例えば図12(a)に示すように、しきい値を1とし単位蓄積時間に10回のパルス状のリセット信号を加えるとする。このとき、単位蓄積時間に出がされる制御信号を加算すれば、各画素において単位蓄積時間に何回しきい値を超えたかすなわち飽和したかを数えることができる。このときの被写体の明るさと飽和回数との関係を図12(b)に示す。フォトダイオードは明るさ1のときに単位蓄積時間に1回飽和するとしている。図12(b)より、被写体の明るさが1から10まで変化するとき制御信号を加算して得られた飽和回数は1, 2, 3, 5, 10回ととびとびにしか変化しないことがわかる。これはすなわちしきい値一定では、表現できる明るさの階調数が被写体の明るさの階調数に比べて少なくなることを意味している。

【0033】上述の問題を解決するには動作中しきい値を変可とする以下に述べる構成が提案される。図13(a)に示すように、単位蓄積時間に10回のパルス状のリセット信号を加えるときに、1回目のパルスではしきい値を1/10、2回目のパルスではしきい値を2/10、以下同様に10回目では10/10となるようにする。このとき、1回目のパルスで論理値「1」の制御信号を出した画素は、単位蓄積時間に1回以上飽和する画素がすべて含まれることになる。また同じく、2回目のパルスでは、単位蓄積時間に2回以上飽和する画素がすべて含まれる。3回目のパルスでは、3回以上飽和する画素と1回だけ飽和する画素の一部が含まれる。このように各パルスにおいて論理値「1」の制御信号を出した画素が、単位蓄積時間に何回あるかは何回以上飽和するかはあらかじめ知ることができる。従って、各パルスにおける制御信号の出力の状態を統合することによって、各画素の単位蓄積時間の飽和回数を求めることができる。このようにして得られる被写体の明るさと飽和回数との関係を図13(b)に示す。図13(b)より、被写体の明るさが1から10まで変化したときに飽

和回数も1回から10回まで明るさに合わせて変化するがみてとれる。

【0034】この方式を実現するための回路構成例を図14に示す。図14において、画素10、画素アレイ、垂直走査回路31、水平走査回路33、スイッチ回路32およびリセット信号走査回路34は図3の構成例と同様である。1回目のリセットパルスが入力されたとき、セレクトアはメモリ1の入力へ切り替えられる。メモリ1は1回目のリセットパルスにおいて各画素が出力する制御信号を論理値「0」または「1」として記憶する。同様に、2回目のリセットパルスのときはセレクトアはメモリ2の入力へ切り替えられ、10回目のときはメモリ10の入力に切り替えられ、各メモリはその時に出力される制御信号をすべての画素について記憶する。飽和回数計算回路140では、メモリ1からメモリ10までの内容を参照しながら、各画素が単位蓄積時間に何回飽和したかを計算し出力する。画素信号構成回路40では、単位蓄積時間の飽和回数と、単位蓄積時間の終わりに一度読み出されるフォトダイオードの出力電圧とから画素信号を構成し出力する。

【0035】以上いくつかの実施例により本発明を説明してしたが、本発明はこれらに限定されることなく、特許請求の範囲に規定された発明の要旨内で各種の変形、変更の可能なことは当業者に自明であらう。

【0036】

【発明の効果】従来技術の光電変換部の出力電圧がしきい値を横切った回数から画素値を構成する手法では、明るさの階調数と同等の数が計数可能な規模のカウンタが必要であったが、本発明では、上述の条件においてカウンタ回路は0から100までを計数できればよいので7ビットでよい。このとき明るさの階調数はフォトダイオードの出力電圧の読み出し時の分解能に依存しており、高性能なA/Dコンバータを使用することにより、十分な階調数を得ることができる。また、カウンタ回路は画素アレイの外に配置しているので画素の開口率を大きくできると予測される。また、本発明では被写体が暗い場合には制御信号のパルスは発生せず、従来のCMOS型イメージセンサと同様にフォトダイオードの出力電圧を読み出し、それを画素値とする。したがって感度は従来型と同等となるので、前述の感度が低くなる欠点がない。

【0037】本発明はリセットパルス数を一定とした場合、フォトダイオードの出力電圧の読み出し時刻の直前の制御パルスの発生時刻から出力電圧の読み出し時刻までの時間は、入射光量が変化すると変化する。このことは前記表1においては、上記フォトダイオードの出力電圧の読み出し時刻の直前の制御パルスの発生時刻から出力電圧の読み出し時刻までの時間はaであり、入射光量が変化することはkが変化することであり、リセットパルス数Nを一定としたとき、kの変数によってaが変

化することからもわかる。この動作だけを考慮すると、本発明は前述の露光時間を入射光量によって変化させて映像信号を広ダイナミックレンジ化する手法と類似している。しかしながら、1画素の中にフォトダイオードを1つしか配置しないので前述の画素の開口率の問題は起こらない。

【図面の簡単な説明】

【図1】 本発明による一画素の一構成例を示す図である。

【図2】 本発明による画素の動作波形を示す図である。

【図3】 本発明による固体撮像装置の一構成例を示す図である。

【図4】 本発明による画素信号構成回路の一構成例を示す図である。

【図5】 本発明による固体撮像装置第2の構成例を示す図である。

【図6】 本発明による固体撮像装置の光電変換特性を示す図である。

【図7】 従来の固体撮像装置一画素の一構成例を示す図である。

【図8】 従来の固体撮像装置画素の動作波形を示す図である。

【図9】 従来の固体撮像装置の動作原理の概念を示す図である。

【図10】 従来の固体撮像装置の構成を示す図である。

【図11】 本発明による固体撮像装置第3の構成例を示す図である。

【図12】 しきい値一定時の本発明固体撮像装置の動作を説明するための図である。

【図13】 しきい値可変時の本発明固体撮像装置の動作を説明するための図である。

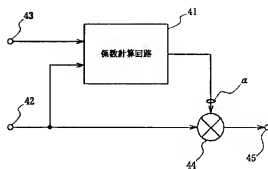
【図14】 しきい値可変時の本発明固体撮像装置の構成を示す図である。

【符号の説明】

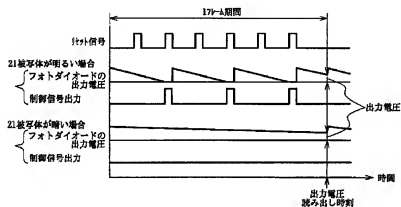
- 10 画素
- 11 フォトダイオード
- 12 読み出しトランジスタ
- 13 比較回路
- 14 AND回路

- 15 リセットトランジスタ
- 16 垂直走査信号
- 17 出力電圧
- 18 しきい値
- 19 制御信号
- 20 リセット信号
- 21 被写体が明るい場合のデータ
- 22 被写体が暗い場合のデータ
- 30 本発明固体撮像装置
- 31 第1垂直走査回路
- 32 第1スイッチ回路
- 33 第1水平走査回路
- 34 第1リセット信号走査回路
- 35 カウンタ回路
- 36 第2垂直走査回路
- 37 第2スイッチ回路
- 38 第2水平走査回路
- 39 第2リセット信号走査回路
- 40 画素信号構成回路
- 41 係数計算回路
- 42 フォトダイオードの出力電圧 (v)
- 43 制御信号のバース数 (n)
- 44 乗算回路
- 45 画素信号 ($P = \alpha \cdot v$)
- 51 垂直走査回路
- 52 スwitch回路
- 53 水平走査回路
- 54 電圧・電流変換回路
- 55 列方向総和読み出し回路
- 56 行方向総和読み出し回路
- 57 総和解析回路
- 58 カウンタ回路アレイ
- 59 画素信号構成回路
- 71 フォトダイオード
- 72 しきい値
- 73 比較回路
- 74 バース出力
- 75 リセットトランジスタ
- 111 列方向加算回路
- 112 行方向加算回路
- 113 総和解析回路

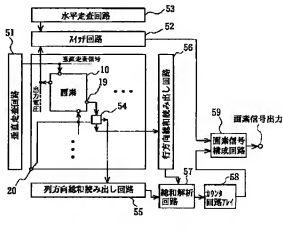
【圖 4】



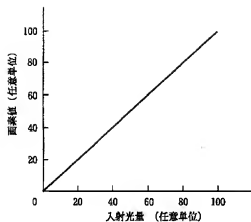
【圖 2】



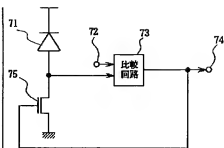
【图5】



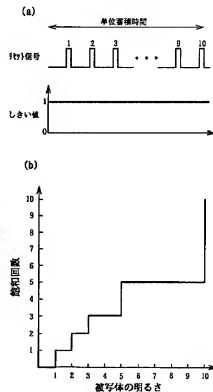
【図6】



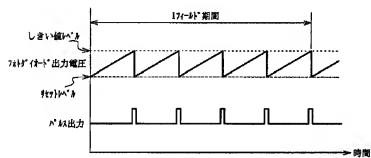
【図7】



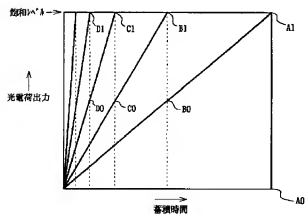
【図12】



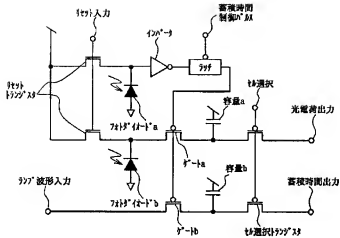
【図8】



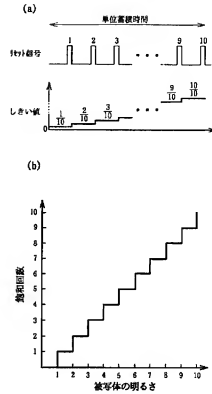
【図9】



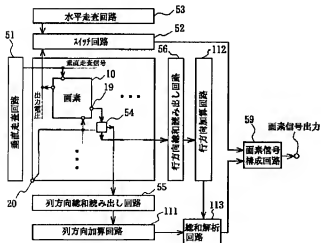
【図10】



【図13】



【図11】



[illegible]

(72)発明者 渡部 俊久
東京都世田谷区砧 1 丁目10番11号 日本放
送技術研究所内

(72) 発明者 石黒 雄一
東京都世田谷区砧 1 丁目10番11号 日本放
送技術研究所内
F ターム(参考) 4M118 AA02 AB01 BA06 CA02 DD01
DD12
5C024 AA01 CA15 FA01 GA01 GA31
HA14 HA18 HA20